

透过全面性元件充电模式 (CDM) 静电放电 (ESD) 失效的分析以提升良率

Roger Peirce, Simco, an ITW Company

在半导体的生产过程中，不仅会妥善的记录因为静电效应的影响所造成产品的损坏以及良率的损失，对造成产生静电荷现象的明确原因也都记之甚详^[1-20]。因为残留静电的晶圆、光罩、卡匣盒以及其他物品，会比没有附着电荷的同样物品，吸附更多的微小尘粒在表面上，而因为残留静电荷所造成的微小尘粒污染，是良率降低的主要原因。

甚且，当静电荷在表面上逐渐累积起来之后，这个表面如果接触到另一个导体时，静电荷就被“驱往”该导体，也就是说，放电到被接触的导体上。由这种静电放电 (ESD) 到晶圆、晶片以及光罩上^[11, 15]所造成电性的损害，可以归纳成几种不同的失效模式，包括人体放电模型 (HBM)、元件充电模型 (CDM)、电场感应模型 (FIM)、以机器放电模型 (MM) ...等。此外，ESD 情形所产生的电磁干扰 (EMI)，也会透过辐射发散及传导的形式，进而导致设备运作不正常、锁死，或对正在生产中的产品造成直接的伤害^[3, 10, 16]。

元件充电模式 (CDM) 之静电放电 (ESD) 造成的损害

本文的焦点在于描述元件充电模式 (CDM) 之静电放电 (ESD) 效应，对晶圆和晶片所造成的损害。此外，本文除了提供我们所发现会造成这种类型损坏的一些制程阶段的描述，并且会分析这些损坏是如何发生的。我们也会展示当这些失效模式都消除了之后，我们所记录下来的改善良率的总结(横跨 1996 年到 2006 年的十年间，使用了 12 台设备)。

晶圆夹具 (Wafer Fixtures)：任何将晶圆放置到本身就容易产生高电荷的夹具上的动作，就已经对晶圆上的元件构成 CDM 的实质风险。晶圆放到这些夹具时，就会藉由电感应和/或磨擦带电的方式 (磨擦) 而附着电荷，不论是这二种情形的那一种，附着电荷的晶圆随后与大一点的导体接触，就可让晶圆上的元件放电，而发生典型的 CDM 失效模式所造成的损坏。以下我们来检视一些最常发生的情形。

像铁氟龙这类绝缘的吸盘材料 (在各种操作时，晶圆所置放的地方，本身也是和电荷感应有关连的东西)，是半导体制程中很常用到的材质。在各种标准的设备中，它都被用于处理装卸晶圆的动作。此外，在大部分的典型设备中，都经常可见晶圆装卸和定位的夹具。当晶圆放置在它们上面而附着电荷，且随后接触导体而放电，任何这些吸盘或治具就都存在着 CDM ESD 的风险。

与操作人员、机械手臂，甚或是流体的接触，是最常见的放电机制。例如，在我们研究的许多个案中，令人讶异的是，光阻剂本身就已确认是一种会造成 CDM ESD 损坏的应用，特别是一开始在使用光阻剂的过程中，晶圆一般都会被放置到铁氟龙的吸盘上。如果没有使用电离作用来移除电荷，

这些吸盘通常都附着高度电荷，通常是 10kV。在制程进行中，晶圆依次感应而附着电荷，如果它们滑到铁氟龙的吸盘上，则会因为磨擦而带电，然后晶圆就接着在上光阻剂的时候放电。在这些应用当中，所用来避免产生电荷的技术都很类似：就是在它们接触到会放电的材料而造成危险之前，确定在所有的制程阶段当中，晶圆上都没有残留任何静电。

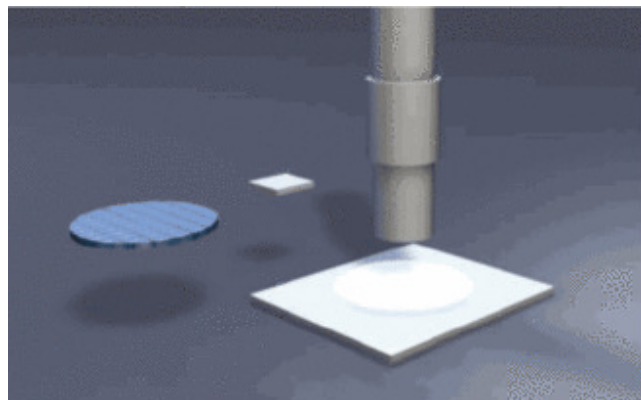
腔体 (Chambers)：一般电浆清洗制程的设备所用到的腔体，都会使用到容易产生高电荷的绝缘材料。这些腔体会产生大量的静电荷，并且与进入腔体内的开放性产品相结合。和这样的电场接触对晶圆本身来说就相当危险，且会导致 CDM/FIM 模式的伤害。

输送带传送系统 (Conveyor Transport)：所有对 ESD 敏感的产品，如晶圆、晶片、基材、零组件以及印刷电路板(PCB)，容易在设计不良的输送带传送系统上(经由磨擦)附着电荷，所以必须要确定产品在这些输送带系统上不会附着到静电，否则，当产品在下一站接触到导体时，就会因此发生 CDM 伤害。

虽然尝试用方便的方式(也就是使用静电测量表)来确定产品有没有附着电荷是很诱人的，但大部分的时候，使用非接触性的电场测量表，是“读不出”电荷程度的(也就是说，测量表读出来的值是零)，因为在典型的输送带系统里面，产品的电场力线会被附近的金属所终结掉，然而，电荷却依然存在，且 CDM 伤害在生产线上都一直会不断发生。目前为避免这种伤害所使用的一个有效技术^[3]，就是将产品从输送带上取走后(使用绝缘的镊子，所以它不会被放电)，然后放到法拉第杯来读取其电荷值，加上如果我们知道其电容值的话，就可以把这个电荷值换算成电压(根据 $Q=CV$ 的公式)。

干燥箱 (Dry Boxes)：干燥箱的塑胶墙和塑胶门就很容易产生高静电，加上其本身表面也容易产生电荷，且一般都会打氮气进去箱内来维持环境的干燥，这些因素加起来都使得干燥箱创造了一个非常容易产生极高静电的环境，一个没有保护的 ESDS 产品放到里面，就容易感应而附着电荷。随后作业人员接触到这些箱子时，即使是已经适当的接地了，还是会导致 CDM 的失效模式。有一些供应商开始制造防 ESD 版本的干燥箱，使用不会产生电荷、并使静电消散的材质来制作干燥箱的墙和门，并且在每个区域都有接地。

显微镜和检验设备平台 (Microscope and equipment Stages)：在许多半导体制程阶段中，晶圆和晶片经常都需要在显微镜和各种设备中进行检查(图一)。不幸的是，这些晶圆和晶片所放置的地方，通常也都是非常容易产生



图一：显微镜和检验设备阶段

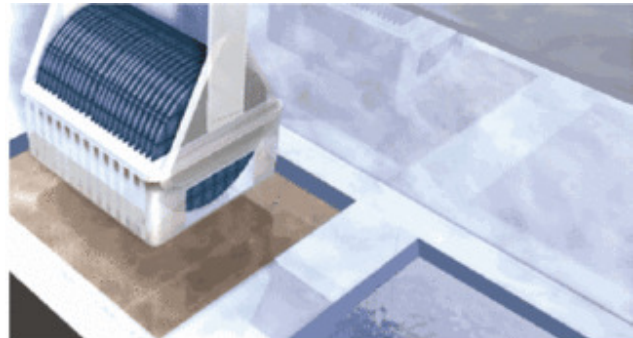


高电荷的地方。不论那个制程阶段，使用到玻璃、陶瓷或塑胶的材质，都容易产生危险的静电场，并且当晶圆/晶片滑近这些材质的表面时，还会导致相当大的磨擦生电。如果无法换成防 ESD 的其他材质替代，在进行容易产生高电荷的制程阶段时，就建议要使用静电消除器。

我们观察到的另外一个现象，就是有些造成极高电荷等级的情形，是和显微镜里面所用到的镜子有相当程度的关联，我们(使用简单的电场计量表检查)量到的一些值是大于 25kV。有一种设备，其检查站内会在显微镜的镜台顶端使用一个小型(直径为 2 英寸)但高静电的圆形镜子，来检视已经制造好的微小晶片之内面，而操作员通常会一次把大量的晶片同时放到这些圆形的镜子上。

湿蚀刻制程的操作 (Wet-etch Operation) :

令人吃惊的是，可以追踪到许多元件的毁损，是发生在湿蚀刻制程的阶段(图二)。晶圆一般都存放在附有把手的晶圆匣盒/篮篓内，然后接着一起进行一连串手动或自动的浸泡动作。在这些容器内的晶圆通常会因此附满电荷，接着在浸泡的蚀刻液体内放电。这个制程的其中一部分是用强风吹干这些浸湿的晶圆，我们观察到这个吹干的功能本身就会使晶圆增加静电量。

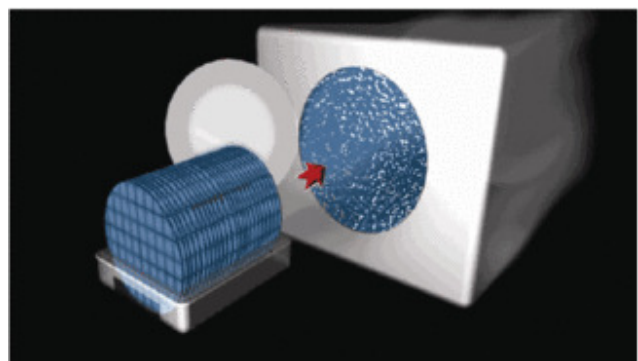


图二：湿蚀刻制程的操作

有趣的是，我们注意到当晶圆卡匣浸到湿蚀刻制程中的化学液或 DI 水时，其本身的电荷通常不会大幅的降低，反观匣内的具导电能力的晶圆，却在许多浸泡动作进行时，接触到蚀刻液体而放电。这表示当晶圆从湿蚀刻液体移出后，就会再度充电(以电感应的方式)，直到下一次浸泡到下一个蚀刻液槽时又会再放电一次。晶圆就以这种方式不断反覆的充电和放电^[20]。所以在附有把手的承载器之内的晶圆，在这个制程中离开蚀刻液体之后，应该存放在充满电离气体的环境之中。

此外，我们也追踪到晶圆的损坏，是由于错误的放置晶圆到容易产生电荷的蚀刻槽表面上去。这些蚀刻槽的绝缘表面，只要单单和作业员、容器...等接触，就可以(也通常会)使含电量高到 20-30kV，也就是说，它会对没有任何保护的晶圆和晶片建构了危险的电场。为了安全起见，这些表面应该要不断持续的电离化，来移除这个容易产生电场的机制。

旋干冲水阶段 (Spin Rinse) : 旋干冲水的操作(图三)是每个半导体生产中的一部分，在这个阶段的风险也是很严重的。通常包括了下列的



图三：旋干冲水阶段



风险：第一，如果晶圆容器在处理的过程中附着了静电（几乎在放入机器内之前都是如此），那晶圆也就因此而附着了静电。一般是在一碰到水冲洗的时候，附着在晶圆上的电荷随后就放电了。当旋干的动作结束后，晶圆和晶圆容器的静电含量，就大幅回升到一般其他任何制程动作中最高程度（差不多固定在 20-25kV 之间）。此时，在晶圆移到下个会造成放电的动作之前，必须要事先小心的移除这些电荷。

离子布值 (Ion Deposition)：离子布值的制程（或任何其他无可避免会牵涉到附着电荷的制程）本身就已证明是 CDM 损害的来源。我们已追踪到许多产生良率损失的问题，确定都是由于离子布值制程本身所造成。在这些个案中，晶片是固定在离子布值腔体内已接地的金属夹具上。然而，晶片底部的所包含的一层绝缘层，会导致晶片上的电路产生电性的漂浮。而进行离子布值制程时，晶片上不同电路的区域之间，存在的电荷比率也不尽相同（通常是因为有些区域根本就被夹具所盖住），晶片上就会在不同电荷大小的区域之间产生内部电弧放电的情形（从一个电路到另一个电路之间）。在这种情况下，发生晶片损坏完全是因为离子布值制程本身所造成的结果，通常导致晶片上普通区域里的元件/结构受到损害。

成型/封装 (Molding/encapsulation)：我们也已确认了在成型/封装制程中，有关的充电机制对晶片所造成的实质伤害。典型的封装材料都是绝缘的，但因为作业员的触摸和磨擦而使这些材料附着高电荷，进而可能导致 CDM 的风险。然而，我们发现到目前为止，大多数的损坏都源自于封装材料被放置到元件或积体电路上时候。不变的是，在冷却制程之后，相当多的电荷仍停留在成模好的零件上。许多在电路板组立制程中的零件进行封装的同时，整个充电作用就变的更大，而构成潜在的 CDM 风险。

我们的经验显示，封装零件上的电荷，大多依然停留在零件本身。封装制程完成输出后，在接下来未完成的制程步骤（通常还有很多步骤），进而与板子上的电路电荷感应，甚至一直持续到整个元件完成全部封装的过程。由于封装一开始就附着了电荷，这个充电的情形就会一直存在于接下来所有还未完成的操作。在机器输出之后，通常所需要做的就是电离作用的动作，来解除剩下未完成的操作可能造成的放电风险。

测试运作 (Testing Operation)：我们已找出在各种不同的测试运作时所发生的 CDM 损坏。最常见的损坏是来自于预烧板夹具所造成。晶圆的探针操作也有可能造成风险，但和前者相较之下还算小很多。以下就来仔细检视这二种情况。

测试座和预烧板夹具 (Test Sockets-burn-in board/fixtures)：在元件层级的元件测试操作上，普遍都会使用到测试座和预烧板夹具。已经被证实会造成元件损坏的二种可能的 CDM 失效模式分述如



下。第一种，很多这些测试座，尤其是用于高温的测试座，当作业员在处理时会大幅附着电荷，特别是当作业员有配戴手套的时候。

大部分的人似乎都有的误解，就是以为如果作业员戴上粉红色的防静电或黑色的导电手套或手指套 (通常本身磨擦到的话，并不会大幅的增加电荷)，被他们碰到或磨擦到的物品 (这里指的是测试座)，并不会附着电荷。但事实上，戴上这些所谓的“防 ESD”的手套，就我们的观察，通常会比徒手处理还要让测试座增加 10 到 20 倍的电荷。和一般普通容易产生高静电的 Latex 手套相比，防 ESD 手套和其所产生的电荷值是相同的。

当测试座已附着了静电，在其较大的表面上就会产生电场，以致于使得将要放到测试座里面做测试的零件也因此附满了电荷。随后附着了静电的零件就和测试座内的针脚接触后放电。就我们的观察，当零件放到测试座内去做测试的瞬间，就几乎同时是造成损坏的时候。

第二个可能的失败模式是发生在当测试座本身就充满了高电荷，其电场会导致测试板或预烧板本身的 PCB 上的线路也跟着附着静电，然后，一旦元件放进到测试座时，板子就会放电到元件上。这种潜在的损坏模式，实际上如同前面在输送带传送部分所讨论到的，算是一种微型机器放电模型 (MM) 的失效模式。解决方式就是在放入和取出元件的时候，反覆的把测试座放在充满电离气体的环境中，就可以消除这二种失效模式。

晶圆针测 (Wafer Probes)：我们在一般晶圆针测操作时所遇到的 CDM 失效，最常发生在当晶圆还组立固定在环型接合带上时，不管何种情形下，让那些组件上的元件充满了电荷，随后发生放电的时候，就容易造成对元件的伤害。在操作晶圆针测的阶段，当晶圆/晶片接触到针测机下方的吸盘时，也是它们最常发生放电的时候，虽然在某些情况下，当晶圆/晶片还没被吸盘放电之前，吸盘就有可能已经先放电到探针上了。

卷带和卷轮盘的构封操作 (Tape and Reel Construction Operation)：在各种卷带和卷轮盘的操作时，确实也会产生 CDM 的失效情况。在几乎所有的个案里面，我们追踪到这个制程中所产生的损害，大多是由于卷带中靠近元件的高电荷卷轴所造成的。金属制的卷轴通常并不是很容易产生电荷的来源，但是如果它的外层覆着塑胶或橡胶的材质，那它们就会产生非常大量的静电。

特别是当高电荷的卷轴滑过对 ESD 敏感的元件本身的塑胶或陶瓷封装材质时，元件就会因磨擦生电而附满电荷。此外，卷轴上的电场也会对靠近它的元件产生电偶。导电的卷带材质在这个作业中，通常会接触元件上的针脚，若随后因此发生放电的情况，对元件来说都是很危险的。为了安全起见，



在这个应用时，任何卷轴若附着了电荷，都应该以立即消除其电荷为优先，不管是改变卷轴的材质或是利用电离法。

良率改善的个案研究

此表包含从 12 家共同研究良率改善的公司所得出的结果。基于保密协定，我们不便公布公司的名字，但这些公司都是财星 500 大公司之类的组织。资料是从 1994 年到 2006 年期间所收集到的，然而大部分主要还是集中在 2002 到 2006 年间。在每个研究的个案当中，必须先执行一个基本的 ESD 风险分析，来分辨公司整个半导体前段和后段制程产线上，所有可能存在的 CDM 充电和放电风险，且进而消除每个风险。由于问题/风险大多来自 CDM 失效模式，所以它们很容易以电离作用来获得解决。

在这些研究当中，所有的个案最终都得以实现良率的改善。在某些个案中，有的只完成了前段(晶圆层级)的部分。期间我们已曾看过在晶圆层级所造成的巨大损坏，但这种情形是取决于其晶圆的技术与其特有的设计。此表也特别标出额外的资讯，就是针对在那个阶段去应用静电消除的时机：是在前段、后段或是二者都有(见 Facility 1 的登录处)，以使得 CDM 风险在运作的设备上事先被消除了。大部分的良率改善值(表中右栏的值)是多年研究之后所得出的结果。

如果没有采取必要的 ESD 控制，不仅可能会在充满大量电荷的元件上造成 ESD 损害，并且恐怕也会对半导体制程生产线上的运作造成伤害。当静电的问题存在时，不管是在前段或后段制程(尤其是在晶圆层级的制程步骤)，都有报告显示由于 CDM 电性损坏所造成的良率损失。如何消除这些风险，对先进制程的可靠度和有生产利益的产线运作来说，都是非常重要的。

总结

Yield improvement tabulation	
Facility	Device yield improvement (%)*
Facility 1 (front and back)	0.01
Facility 2 (back only)	0.01
Facility 3 (front and back)	0.05
Facility 4 (front only)	0.1
Facility 5 (front and back)	0.9
Facility 6 (front and back)	1.0
Facility 7 (back only)	2.0
Facility 8 (front and back)	2.0
Facility 9 (front only)	8.0
Facility 10 (front and back)	16.0
Facility 11 (front only)	30.0
Facility 12 (front and back)	50.0**

*after CDM risks were eliminated. **Cost savings in the 50% yield improvement case were in the tens of millions of \$/yr.

从我们的研究发现，可看出一般常见的制程中，容易产生晶圆/晶片充电而导致 CDM 失效的结果。除了在这超过 12 年的期间，在许多家公司所得到的良率改善资料之外，也在此呈现几个挑选出来的 CDM 失败模式的消除方法。

致谢

铁氟龙是属于杜邦公司的商标

参考文献

1. M. Inoue et al., "Aerosol Deposition on Wafers," IES Proc., 34th Annual Technical Meeting, 1988.
2. R.P. Donovan, Particle Control for Semiconductor Manufacturing, New York: Marcel Decker Inc., 1990.
3. Semi E78-0998, Electrostatic Compatibility Guide to Assess and Control Electrostatic Discharge (ESD) and Electrostatic Attraction (ESA) for Equipment, SEMI, San Jose, CA.
4. Semi E129-1103, Guide To Controlling Electrostatic Charge in a Semiconductor Manufacturing Facility, SEMI, San Jose, CA.
5. Frank Curran, MS thesis, "The Effects of Static Charge on Silicon Wafers in the Semiconductor Industry," The Engineering Council of England, Nov. 1997.
6. L.B. Levit et al., "Contamination Control in Semiconductor Manufacturing," Proc. of SEMICON Taiwan, Taipei, Taiwan, Sept. 1999.
7. L.B. Levit, T.M. Hanley, F. Curran, "Watch Out For Electrostatic Attraction," Solid State Technology, June 2000.
8. C.W. Long, J. Peterman, L.B. Levit, "Implementing a Static Control Program to Increase the Efficiency of Wet Cleaning Tools," MICRO, Jan./Feb. 2006.
9. M. Harrison, "Evaluation of Electrostatic Charges on Aerosol Particle Attractiveness to Silicon Wafers in Class-1 Cleanrooms," Jour. of the IEST, July/Aug. 1999.
10. L.B. Levit, L.G. Henry, J.A. Montoya, F.A. Marcelli, R.P. Lucero, "Investigating FOUPs as a Source of ESD-induced Electromagnetic Interference," MICRO, April 2002.
11. J. Wiley, A. Steinman, "Investigating a New Generation of ESD-Induced Reticule Defects," MICRO 17, No. 4, 1999.
12. L.B. Levit, A. Steinman, "Investigating Static Charge Issues in Photolithography Areas," MICRO, June 2000.



13. M. Yost et al., "Electrostatic Attraction and Particle Control," Microcontamination 4, No. 6, 1986.
14. P.R. Bossard, R.G. Chemelli, B.A. Unger, "Charged Device Model ESD," Proc. EOS/ESD Symposium, San Diego, CA, 1980.
15. J. Montoya, L.B. Levit, A. English, "A Study of the Mechanisms for ESD Damage to Reticles," Proc. of the EOS/ESD Society, pp. 394-405, 2000.
16. A. Steinman, L.B. Levit, "It's The Hardware, No, Software, No, It's ESD!" Solid State Technology Supplement, May 1999.
17. A.C. Rudack, M. Pendley, L.B. Levit, "Measurement Technique Developed to Evaluate Transient EMI in a Photo Bay With and Without Ionization" in Proc. of EOS/ESD Symposium 2000, pp. 379-386.
18. J. Rush, et al., "Reducing Static-related Defects and Controller Problems in Semiconductor Production Automation Equipment," Proc. of the SEMI Ultraclean Manufacturing Symposium, Oct. 1994.
19. G. Baumgartner, "The Misconceptions of Air Flow as a Tribocharging Source," Proc. of the EOS/ESD Symposium, 1992.
20. Niels Jonassen, "Induction: What It Means to ESD," Compliance Engineering, Mr. Static Series.

作者简介：

Roger J Peirce 是 Simco-Ion, an ITW Company (ITW 集团成员) 的技术服务总监，之前曾创办顾问公司，为半导体及电子业提供有关 ESD 的顾问服务，历时达二十年之久。他是 Voyager Technologies (1983) 的创办人之一，专门设计新颖的 ESD 测试仪器，于 1970 年加入美国新泽西州 Murray Hill 的 Bell Labs 公司，开展长达 13 年的事业。

